

대한민국특허청 (KR)  
공개 실용 신안 공보 (U)

제 716 호

Int. Cl.  
H 01 L 21/56

공개일자 1994. 1. 3  
출원일자 1992. 6. 10

공개번호 94-1979  
출원번호 92-11286  
심사청구: 없음

고안자 박 준 수 서울특별시 강남구 역삼동 현대빌라 107-202

출원인 금성일렉트론 주식회사 대표이사 손 경 환

충청북도 청주시 합정동 50번지

대리인 변리사 박 장 권

(전 2 편)

반도체 패키지

요 약

본 고안은 반도체 패키지의 구조에 관한 것으로 반도체 패키지에 있어서, 반도체 칩이 부착 고정되는 리드 프레임의 패들과 상기 칩에 와이어 본딩되는 다수개의 외부연결 리드가 패키지의 저면으로 노출되도록 리드 프레임의 상부측만 에폭시 몰딩 컴파운드로 몰딩하여 구성한 것이다.

즉 리드 프레임은 기준한 상부측은 에폭시 몰딩 컴파운드로 몰딩하고 하부측은 패들로서 인접솔레이션 역할 을 하도록 함으로써 패키지의 전체적인 두께를 보다 작게하여 경박단소화에 기여하고, 실장율을 보다 높일 수 있다는 효과와 아울러 포밍공정이 저거되는 등 제조공정이 단순해지며, 칩의 전기적인 특성이 보다 좋아지는 등의 여러 효과가 있다.

# 실용신안 등록청구의 범위

1. 반도체 패키지 구조에 있어서, 반도체 칩(11)이 부착 고정되는 리드 프레임의 패들(12)과 상기 칩(11)에 와이어 본딩되는 다수개의 외부연결 리드(13)가 패키지의 저면으로 노출되도록 리드 프레임의 상부측만 에폭시 본딩 점착층(14)로 풀딩하여 구성함을 특징으로 하는 반도체 패키지.

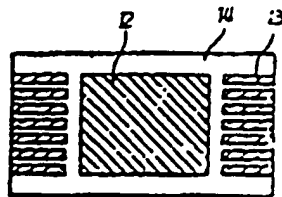
2. 제1항에 있어서, 상기 리드 프레임은 그의 패들(12)과 외부연결 리드(13)가 수평상태로 형성되거나, 또는 패들(12)을 들어올린 업-셋구조로 형성됨을 특징으로 하는 반도체 패키지.

※ 참고사항: 최초출원 내용에 의하여 공개하는 것임.

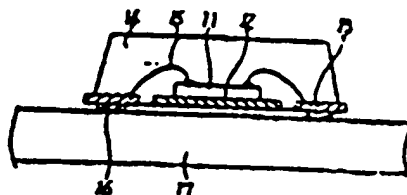
## 도면의 간단한 설명

제3도는 본 고안에 의한 반도체 패키지를 구조를 보이는 도면으로서, 제3도는 제2도의 거면도, 제4도는 본 고안에 의한 반도체 패키지의 실장상태를 보인 단면도.

제3도



제4도



공개특허 97-72358 1/2

대한민국 특허청 (KR)

공개특허공보 (A)

Int. Cl.  
H 01 L 23/50

제 2658 호

공개일자 1997. 11. 7

공개번호 97-72358

출원일자 1996. 4. 1

출원번호 96- 9774

심사청구 : 있음

발 명 자 허 명 욱 경기도 성남시 분당구 수내동 55 롯데아파트 132- 1504

출 원 인 아남산업 주식회사 대표이사 황 인 신

서울특별시 성동구 성수 2가 280-8 (우: 133-120)

대리인 변리사 서 만 규

(전 2 면)

반도체패키지의 제조방법 및 구조

요 약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로, 반도체칩의 저면을 외부로 노출시켜 회로용과시 발생하는 열단층의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 향상시키는 물론, 패키지의 몸체 부 외측에 위치한 리드는 간단하고, 돌출부 내측에 위치한 리드는 그 저면을 외부로 노출시켜 마더보드에 실장 시 리드의 저면에서 신호전달을 하도록 함으로서 실장면적을 최소화할 수 있는 반도체패키지이다.

특허청구의 범위

1. 다수의 리드가 형성되고, 상기 다수의 리드 중앙부에는 침입재판이 없는 리드프레임을 형성하는 단계와; 상기 리드프레임과 다수의 리드 중앙부에 반도체칩을 위치시켜 와이어본딩을 실시하는 단계와; 상기 와이어본딩된 리드, 반도체칩 및 와이어를 외부의 산화 및 부식으로부터 보호하기 위하여 몰딩하는 단계와; 상기 단계 후에 몰딩영역 외각에 위치한 리드를 절단하는 단계로 이루어진 것을 특징으로 하는 반도체패키지의 제조방법.
2. 제1항에 있어서, 상기 와이어본딩후 배플 홀(Vacuum Hole)이 형성된 하디볼록에 반도체칩을 위치시켜 상기 배플 홀로 공기를 빨아들여 반도체칩을 지지 고정하는 것을 특징으로 하는 반도체패키지의 제조방법.
3. 제1항에 있어서, 상기 몰딩단계는 액상 봉지재를 사용하여 몰딩하는 것을 특징으로 하는 반도체패키지의 제조방법.
4. 제1항 또는 3항에 있어서, 액상 봉지재를 사용하여 몰딩하기 전에 몰딩영역에 단봉 형성하여 액상 봉지재가 흘러 넘치는 것을 방지하는 것을 특징으로 하는 반도체패키지의 제조방법.
5. 제1항에 있어서, 상기 몰딩단계는 몰드 컴파운드를 사용하여 몰딩하는 것을 특징으로 하는 반도체패키지의 제조방법.
6. 제3항 또는 5항에 있어서, 상기 액상 봉지재 및 몰드 컴파운드도 몰딩 후, 150℃ 이상의 고온에서 수시간 노출시켜 경화시키는 공정을 포함하는 것을 특징으로 하는 반도체패키지의 제조방법.
7. 제1항에 있어서, 상기 반도체패키지의 저면에는 그라인드(Grind)를 실시하여 플래시(Flash)를 제거하는 것을 특징으로 하는 반도체패키지의 제조방법.
8. 제1항에 있어서, 상기 몰딩영역의 외각에 위치한 리드를 절단시 절단은 용이하게 하기 위하여 절단되는 부위의 리드에 노치(Notch)를 형성함을 특징으로 하는 반도체패키지의 제조방법.
9. 서면이 외부로 직접 노출되는 반도체칩과; 상기 반도체칩의 외측에 위치되고 몰딩영역을 벗어나지 않으며 저면이 외부로 노출되어 저면에서 신호의 입출력이 이루어지는 다수의 리드와; 상기 반도체칩과 리드를 연결시켜주는 와이어와; 상기 반도체칩, 리드 및 와이어를 외부 환경으로부터 보호하기 위하여 몰딩된 액상 봉지재 또는 컴파운드로 구성된 것을 특징으로 하는 반도체패키지의 구조.
10. 제9항에 있어서, 상기 몰딩된 액상 봉지재 및 컴파운드는 리드 및 반도체칩의 상부로만 몰딩된 것을 특징으로 하는 반도체패키지의 구조.
11. 제9항에 있어서, 상기 반도체패키지의 저면에는 플래시(Flash)의 제거를 위한 그라인드(Grind)된 것을 특징으로 하는 반도체패키지의 구조.
12. 제9항에 있어서, 리드프레임의 다수의 리드 중앙부에는 침입재판이 없는 것을 특징으로 하는 반도체패키지의 구조.

※ 참고사항: 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제2도는 본 발명에 적용되는 리드프레임을 도시한 평면도.

제 2 도

